

お客様 各位	製品不具合情報	発効日 2018年03月07日
		発行 No. DB70241-0
		日本パルスモーター株式会社 モーションコントロール事業本部

## 1. 不具合対象製品

パルスコントロールLSI PCL6046

先に、PCL6046 のアドレス入力方式とアクセス方法について説明します。

### ①アドレス入力接続方式（ハードウェア仕様）

#### ・フルアドレス方式

A9～A0 の全端子を使用し、占有エリアは 1024 バイトです。

ダイレクトアクセス方法と、間接アクセス方法の両方に対応できます。

#### ・縮小アドレス方式

A9, A8, A2～A0 端子だけを使用し、占有エリアは 32 バイトです。

間接アクセス方法だけに対応します。

### ②アクセス方法（ソフトウェア仕様）

#### ・ダイレクトアクセス方法

レジスタへの書き込み/読み出し時のコマンドが不要で、各レジスタごとに割り当てられた番地に対して直に書き込み/読み出し処理を行えます。

この方法での書き込み処理をダイレクト書き込みと呼び、読み出し処理をダイレクト読み出しと呼びます。

#### ・間接アクセス方法

レジスタ書き込み時には、入出力バッファヘータを書き込み後、「レジスタ書き込みコマンド」を書き込んで、入出力バッファの値をレジスタへコピーします。

レジスタ読み出し時には、「レジスタ読み出しコマンド」を書き込むと、レジスタ値が入出力バッファへコピーされます。その後で、入出力バッファからデータを読み出します。

## 2. 不具合現象

下記①から④のすべての条件が成立した時に、レジスタ書き込みに失敗する場合があります。

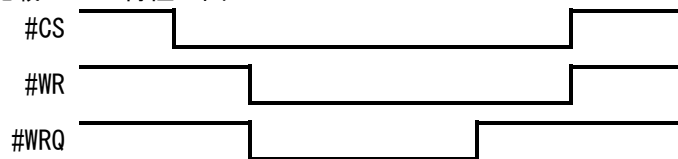
逆に、どれかの条件が成立していなければ、不具合現象は発生しません。

後述する対策案Aは②を、対策案Bは③を、不成立にする方法です。

間接アクセス時は①が不成立になるので、不具合現象は発生しません。

- ① ダイレクトアクセス方法で #WRQ 信号を使用してレジスタに書き込んでいる。
- ② #WR 信号の最短幅が、PCL の CLK の 3 周期未満。
- ③ レジスタ書き込み時の、下位ワードと上位ワード書き込みの間隔(#WR=H 時間)が、CLK の 3 周期未満。
- ④ CPU の書き込みアクセス特性で、#WRQ 信号の立ち上がりから #WR 信号の立ち上がりまでの遅延時間が、PCL 用 CLK の 1 周期未満。

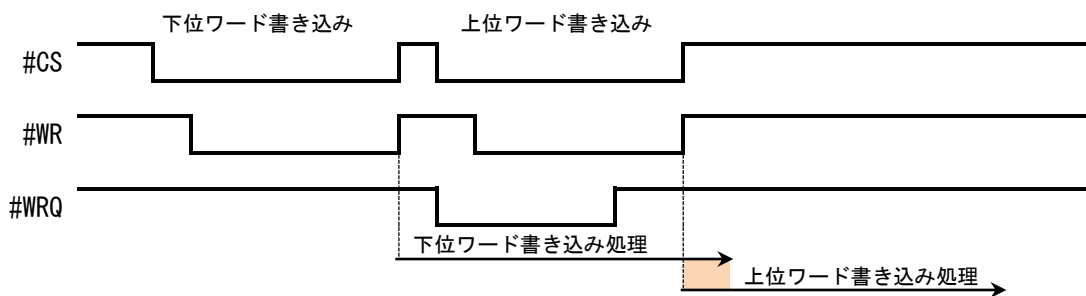
### ④記載の CPU 特性の図



この時間が CLK の 1 周期未満の時に不具合

### 3. 概要説明

#WRQ 出力信号の制御回路にミスがあり、レジスタ下位ワード書き込み後の #WRQ 信号幅が必要な長さよりも短くなっていたため、下位ワード書き込み処理が完了する前に上位ワードの書き込み処理が開始されてしまい、不具合が発生していました。（書き込み処理は #WR の立ち上がりから開始）

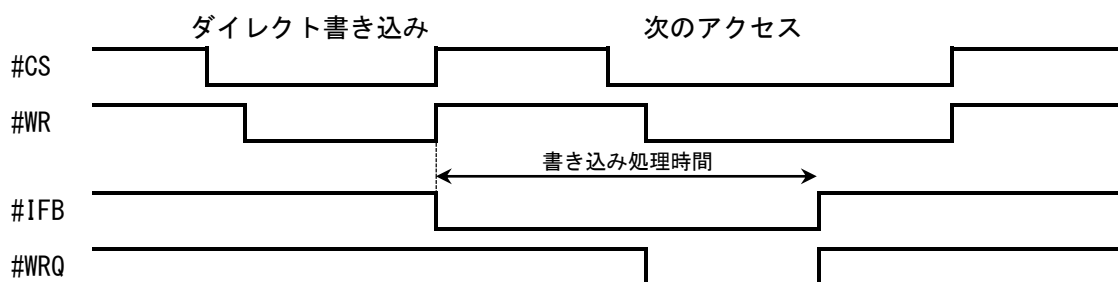


### 4. 詳細説明

ダイレクト書き込み時には、#WR 入力の立ち上がりから書き込み処理が開始され、書き込み処理中は #IFB=L になります。#IFB=L の間に次のアクセスが発生した場合には #WRQ=L にして、アクセスを保留させます。

#WRQ 出力は、(#IFB=L and #CS=L and (#WR=L or #RD=L)) の間だけ #WRQ=L になります。

書き込み処理時間は書き込み対象により異なります。



注意. 実際の処理時間は #IFB=L の時間ですが、#CS=H の時間が任意なため、マニュアルでは書き込み処理時間を #WRQ=L の時間 ( $T_{WAIT}$ ) としています。

書き込み処理時間 ( $T_{WAIT}$ ) として必要な時間と実際の時間 ( $T_{CLK}$ : CLK 入力の周期)

	書き込み対象	必要な $T_{WAIT}$	実際の $T_{WAIT}$
①	コマンド書き込み時	$4 \cdot T_{CLK}$	$4 \cdot T_{CLK}$
②	汎用出力ポートへの書き込み時	$2 \cdot T_{CLK}$	$2 \cdot T_{CLK}$
③	入出力バッファ下位ワードへの書き込み時	$2 \cdot T_{CLK}$	$2 \cdot T_{CLK}$
④	入出力バッファ上位ワードへの書き込み時	$2 \cdot T_{CLK}$	$2 \cdot T_{CLK}$
⑤	レジスタ下位ワードへの書き込み時	$3 \cdot T_{CLK}$	$2 \cdot T_{CLK}$
⑥	レジスタ上位ワードへの書き込み時	$3 \cdot T_{CLK}$	$3 \cdot T_{CLK}$

★レジスタ下位ワード書き込み時だけ、 $T_{WAIT}$  時間が足りませんでした。

間接アクセス方法では①～④だけを使用するので、不具合は発生しません。

### 5. 対策方法

対策方法として対策案 A, B の 2 つの方法があります。

お手数をおかけしますが、対応しやすい方法での対処をお願いいたします。

### 5-1. 対策案A

#WR 信号幅を CLK の 3 周期以上の固定幅とします。

また、上位ワード書き込み後 CLK 3 周期以内はアクセス禁止とします。

#### 【手順】

1. レジスタ下位ワードデータをダイレクト書き込み
2. レジスタ上位ワードデータをダイレクト書き込み
3. CLK の 3 周期分以上のソフトタイマー

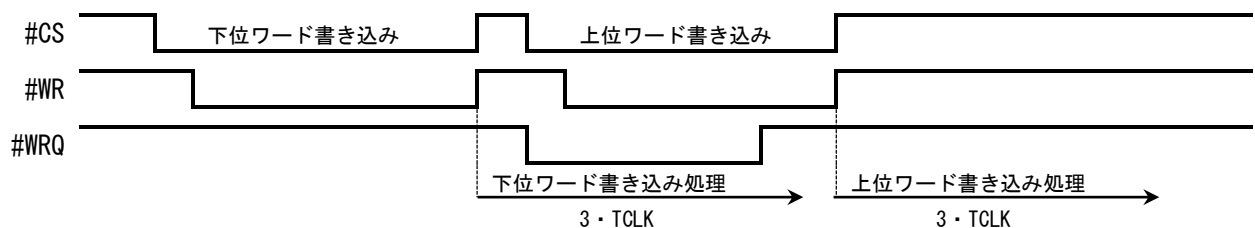
#### 【説明】

内部処理時間は、下位ワード書き込み時の#WR 立上りから CLK の 3 周期分です。

下位ワード書き込みと、上位ワード書き込みの間には #CS=H の時間があるので、上位ワード書き込みの #WR 立上り時には、下位書き込み処理は終了しています。

下位ワードと上位ワードの書き込みの処理のオーバーラップが無くなるので、不具合現象を回避できます。

PCL から #WRQ が出力されますが #WR=L の間に終了するので、CPU では無視しても構いません。



#### 【注意】

手順 3 のソフトタイマーは、上位ワード書き込み処理待ち用のタイマーです。

タイマー動作中に次のレジスタ書き込みを開始すると、書き込みデータが変化してしまいます。

### 5-2. 対策案B

#WR 信号幅は延長せずに、書き込み処理後のソフトタイマーで WR=H の時間を CLK の 3 周期分以上確保します。

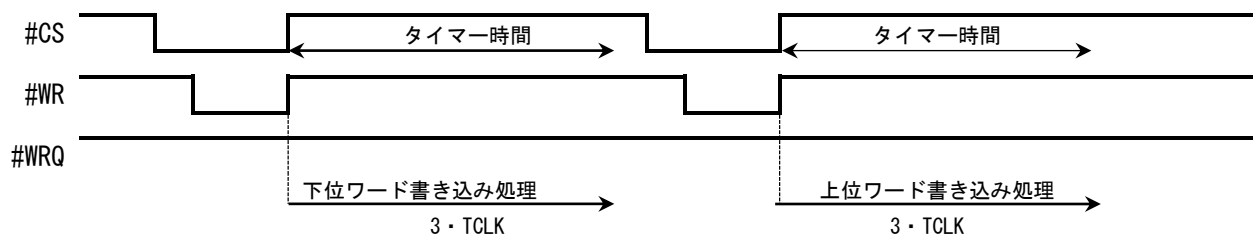
#### 【手順】

1. レジスタ下位ワードをダイレクト書き込み
2. CLK の 3 周期分以上のソフトタイマー
3. レジスタ上位データをダイレクト書き込み
4. CLK の 3 周期分以上のソフトタイマー

#### 【説明】

#CS=H の時間をソフトタイマーで確保することにより、内部処理のオーバーラップを防止します。

#CS=H の間に書き込み処理が終了するので、#WRQ 信号は出力されません。



以上、ご査収のほど、宜しくお願いいたします。